

SEMICONDUCTOR INTEGRATED CIRCUIT

Patent number: JP2003152091

Publication date: 2003-05-23

Inventor: YOSHIKAWA YOSHISHIGE; HORIIKE YOSHIO

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: H01L21/82; H01L21/822; H01L27/04; H01L21/70; H01L27/04; (IPC1-7): H01L21/822; H01L21/82; H01L27/04

- european:

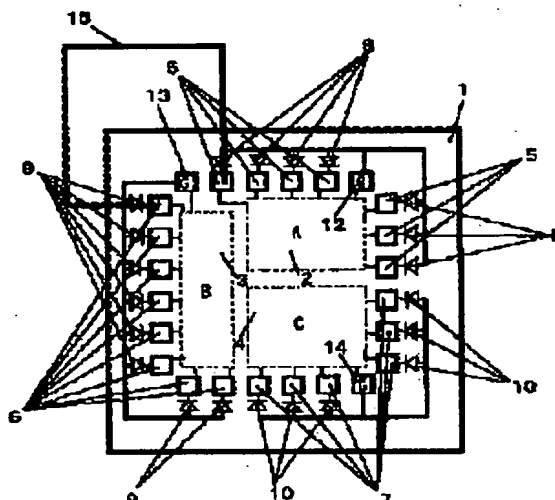
Application number: JP20010352766 20011119

Priority number(s): JP20010352766 20011119

Report a data error here

Abstract of JP2003152091

PROBLEM TO BE SOLVED: To obtain a semiconductor integrated circuit which has high isolation between circuit blocks. **SOLUTION:** A 1st circuit block 2 and a 2nd circuit block 3 are not connected by a surge element and then a capacitor which couples the blocks with each other is made small.



- | | |
|-------------|------------------------|
| 1 半導体基板 | 10 第3のサージ素子群 |
| 2 第1の回路ブロック | 11 第4のサージ素子群 |
| 3 第2の回路ブロック | 12 第1の回路ブロックのグランド端子パッド |
| 4 第3の回路ブロック | 13 第2の回路ブロックのグランド端子パッド |
| 5 第1の端子パッド群 | 14 第3の回路ブロックのグランド端子パッド |
| 6 第2の端子パッド群 | 15 信号ライン |
| 7 第3の端子パッド群 | |
| 8 第1のサージ素子群 | |
| 9 第2のサージ素子群 | |

Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2003-152091

(P2003-152091A)

(43)公開日 平成15年5月23日(2003.5.23)

(51)Int. Cl.⁷

識別記号

F I

テーマト(参考)

H 0 1 L 21/822

H 0 1 L 27/04

E 5F038

21/82

H 5F064

27/04

21/82

P

審査請求 未請求 請求項の数3

O L

(全6頁)

(21)出願番号 特願2001-352766(P2001-352766)

(71)出願人 000005821

(22)出願日 平成13年11月19日(2001.11.19)

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 吉川 嘉茂

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 堀池 良雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

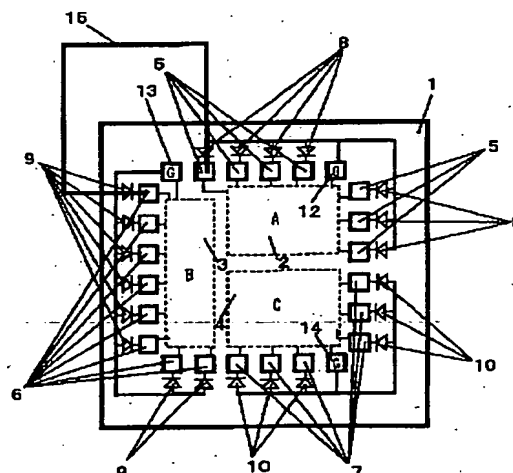
最終頁に続く

(54)【発明の名称】半導体集積回路

(57)【要約】

【課題】 回路ブロック間のアイソレーションが高い半導体集積回路を得る。

【解決手段】 第1の回路ブロック2と第2の回路ブロック間3をサージ素子で接続しない構成とすることにより、ブロック間を結合する容量を小さくする。



- | | |
|-------------|------------------------|
| 1 半導体基板 | 10 第3のサージ素子群 |
| 2 第1の回路ブロック | 11 第4のサージ素子群 |
| 3 第2の回路ブロック | 12 第1の回路ブロックのグランド端子パッド |
| 4 第3の回路ブロック | 13 第2の回路ブロックのグランド端子パッド |
| 5 第1の端子パッド群 | 14 第3の回路ブロックのグランド端子パッド |
| 6 第2の端子パッド群 | 15 信号ライン |
| 7 第3の端子パッド群 | |
| 8 第1のサージ素子群 | |
| 9 第2のサージ素子群 | |

【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板上に構成された第1および第2の回路ブロックと、前記第1および第2の回路ブロック内の回路素子にそれぞれ接続された第1および第2の端子パッド群と、前記第1の端子パッド群と前記第1の回路ブロックのグランド端子パッドまたは／および電源端子パッドを接続する第1のサージ素子群と、前記第2の端子パッド群と前記第2の回路ブロックのグランド端子パッドまたは／および電源端子パッドを接続する第2のサージ素子群からなり、前記第1の回路ブロックのグランド端子パッドまたは／および電源端子パッドと前記第2の回路ブロックのグランド端子パッドまたは／および電源端子パッドは互いにサージ素子で接続されない半導体集積回路。

【請求項2】 半導体基板と、前記半導体基板上に構成された第1、第2および第3の回路ブロックと、前記第1、第2および第3の回路ブロック内の回路素子にそれぞれ接続された第1、第2および第3の端子パッド群と、前記第1の端子パッド群と前記第1の回路ブロックのグランド端子パッドまたは／および電源端子パッドを接続する第1のサージ素子群と、前記第2の端子パッド群と前記第2の回路ブロックのグランド端子パッドまたは／および電源端子パッドを接続する第2のサージ素子群と、前記第3の端子パッド群と前記第3の回路ブロックのグランド端子パッドまたは／および電源端子パッドを接続する第3のサージ素子群と、前記第1の回路ブロックのグランド端子パッドまたは／および電源端子パッドと前記第2の回路ブロックのグランド端子パッドまたは／および電源端子パッドと前記第3の回路ブロックのグランド端子パッドまたは／および電源端子パッドを接続するための第4のサージ素子群からなり、前記第1の回路ブロックのグランド端子パッドまたは／および電源端子パッドと前記第3の回路ブロックのグランド端子パッドまたは／および電源端子パッドは直接にはサージ素子で接続されない半導体集積回路。

【請求項3】 第1の回路ブロックと第2の回路ブロック間の信号ラインまたは電源ラインの接続は第1の端子パッド群の端子と第2の端子パッド群の端子を半導体基板の外部で接続することにより行う前記請求項1または2記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、主としてコードレスリモコン、コードレス電話、携帯電話などの無線機の高周波回路を半導体基板上に集積した半導体集積回路に関し、特に集積された複数の回路ブロック間で高いアイソレーションを必要とする用途に用いられる半導体集積回路に関する。

【0002】

【従来の技術】 従来の半導体集積回路について図面を参照しながら説明する。図3は、従来の半導体集積回路の半導体基板上の回路の構成図である。

【0003】 図3において、1は半導体基板、2は第1の回路ブロック、3は第2の回路ブロック、4は第3の回路ブロック、5は第1の端子パッド群、6は第2の端子パッド群、7は第3の端子パッド群、8は第1のサージ素子群、9は第2のサージ素子群、10は第3のサージ素子群、11は第4のサージ素子群、12は第1の回路ブロックのグランド端子パッド、13は第2の回路ブロックのグランド端子パッド、14は第3の回路ブロックのグランド端子パッド、16は信号ラインまたは電源ラインである。

【0004】 図3は、ICチップの半導体基板上に形成された端子パッド、アルミ配線およびサージ素子の構成を表している。半導体基板1に第1、第2および第3の回路ブロック2、3、4が形成されている。そして前記第1、第2および第3の回路ブロックと半導体集積回路外の回路とを接続するための端子パッドとして第1、第2および第3の端子パッド群5、6、7が半導体基板1上に形成されている。また、半導体基板内で各回路ブロック間を接続する信号ラインまたは電源ライン16が形成されている。各端子パッドはパッケージリードにボンディングワイヤで接続され、半導体基板1が、樹脂によりパッケージングされて完成品のICとなる。

【0005】 さて図3に示す従来の半導体集積回路では、外部から半導体集積回路へのサージ入力による素子の破損を防ぐために、各端子パッド間をサージ素子で接続している。ここでサージ素子にはダイオード素子やトランジスタ素子などが用いられ、一定以上の電圧印可によりブレイクダウン現象が生じ抵抗値が低下して電流を流す特性を持っている。第1の回路ブロック2に接続された第1の端子パッド群5は第1のサージ素子群8により第1の回路ブロックのグランド端子パッド12に接続されている。同様に第2の端子パッド群6は第2のサージ素子群9により第2の回路ブロックのグランド端子パッド13に、第3の端子パッド群7は第3のサージ素子群10により第3の回路ブロックのグランド端子パッド14にそれぞれ接続されている。

【0006】 更に第1、第2および第3の回路ブロックのグランド端子パッド12、13、14は互いにサージ素子群17により接続されている。

【0007】

【発明が解決しようとする課題】 しかしながら、前記従来の半導体集積回路では、各回路ブロック間のアイソレーションが十分に得られないという問題があった。

【0008】 図3および図4を用いて、アイソレーションが十分に得られない理由を説明する。

【0009】 図3に示すように、各ブロック間が第4の

サージ素子群11により接続されているため、信号がサージ素子を介して漏れることによりアイソレーションが劣化する。

【0010】図4は回路ブロック間のアイソレーションの説明図である。図4において、C1はサージ素子の容量である。サージ素子はダイオード素子などで構成されるため容量成分を持っている。また、L1、L2は端子パッドに接続されるボンディングワイヤおよびパッケージリードのインダクタンス成分である。半導体集積回路内にミキサとLNAが集積されている場合を考える。外部のVCO（信号源）からミキサの入力端子に高周波電圧V1が入力されると、L1の存在によりミキサのグラウンド配線パターンには高周波電圧V1が発生する。このV1がサージ素子の容量を介することによりLNAのグラウンド配線パターンに高周波電圧V2を励起する。つまりL1、L2およびC1の存在によりアイソレーションが劣化する。

【0011】そして、半導体集積回路の各回路ブロック間で十分なアイソレーションが得られないことが、高周波回路の集積化が困難であることの要因となっていた。

【0012】

【課題を解決するための手段】前記従来の課題を解決するために、本発明の半導体集積回路は、半導体基板と、前記半導体基板上に構成された第1および第2の回路ブロックと、前記第1および第2の回路ブロック内にそれぞれ接続された第1および第2の端子パッド群と、前記第1の端子パッド群と前記第1の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドを接続する第1のサージ素子群と、前記第2の端子パッド群と前記第2の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドを接続する第2のサージ素子群と、前記第1の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドと前記第2の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドは互いにサージ素子で接続されない構成からなるものである。

【0013】そして、半導体基板内で回路ブロック間を跨って配線される信号ラインや電源ラインをなくし半導体基板外で接続することで、各回路ブロック間を接続するサージ素子をなくすことができる。そのため、回路ブロック間のアイソレーションを大きくすることができる。

【0014】

【発明の実施の形態】請求項1記載の発明は、半導体基板と、前記半導体基板上に構成された第1および第2の回路ブロックと、前記第1および第2の回路ブロック内の回路素子にそれぞれ接続された第1および第2の端子パッド群と、前記第1の端子パッド群と前記第1の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドを接続する第1のサージ素子群と、前記第2の端

子パッド群と前記第2の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドを接続する第2のサージ素子群と、前記第1の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドと前記第2の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドは互いにサージ素子で接続されない構成からなるものである。そして、回路ブロック間を接続するサージ素子がないため、回路ブロック間のアイソレーションを大きくすることができる。

【0015】また請求項2記載の発明は、半導体基板と、前記半導体基板上に構成された第1、第2および第3の回路ブロックと、前記第1、第2および第3の回路ブロック内の回路素子にそれぞれ接続された第1、第2および第3の端子パッド群と、前記第1の端子パッド群と前記第1の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドを接続する第1のサージ素子群と、前記第2の端子パッド群と前記第2の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドを接続する第2のサージ素子群と、前記第3の端子パッド群と前記第3の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドを接続する第3のサージ素子群と、前記第1の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドと前記第2の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドを接続し前記第2の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドと前記第3の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドを接続する第4のサージ素子群と、前記第1の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドと前記第3の回路ブロックのグラウンド端子パッドまたは／および電源端子パッドは直接にはサージ素子で接続されない構成からなるものである。そして、アイソレーションを必要とする回路ブロックを直接接続するサージ素子がないため、回路ブロック間のアイソレーションを大きくできると共に、回路ブロック間の信号ラインまたは電源ラインの配線がある場合でも耐サージ特性を確保することができる。

【0016】また請求項3記載の発明は、第1の回路ブロックと第2の回路ブロック間の信号ラインまたは電源ラインの接続は、第1の端子パッド群の端子と第2の端子パッド群の端子を半導体基板の外部で接続することにより行うものである。そして回路ブロック間の信号ラインまたは電源ラインの接続を半導体集積回路の外を介して行うため、回路ブロック間アイソレーションの確保と耐サージ特性を両立することができる。

【0017】

【実施例】以下、図面を参照して本発明の実施例について説明する。

【0018】（実施例1）図1は、本発明による実施例1の半導体集積回路の半導体基板上の回路の構成図であ

る。図1を用いて本実施例の半導体集積回路について説明する。

【0019】図1において、1は半導体基板、2は第1の回路ブロック、3は第2の回路ブロック、4は第3の回路ブロック、5は第1の端子パッド群、6は第2の端子パッド群、7は第3の端子パッド群、8は第1のサージ素子群、9は第2のサージ素子群、10は第3のサージ素子群、12は第1の回路ブロックのグランド端子パッド、13は第2の回路ブロックのグランド端子パッド、14は第3の回路ブロックのグランド端子パッド、15は信号ラインである。

【0020】半導体基板1に第1、第2および第3の回路ブロック2、3、4が形成されている。そして前記第1、第2および第3の回路ブロック2、3、4を半導体集積回路外に接続するための端子パッドとして第1、第2および第3の端子パッド群5、6、7が半導体基板1上に形成されている。尚、各端子パッドはパッケージリードにボンディングワイヤで接続され、半導体基板1が、樹脂によりパッケージングされて完成品のICとなる。

【0021】第1の回路ブロック2に接続された第1の端子パッド群5は第1のサージ素子群8により第1の回路ブロックのグランド端子パッド12に接続されている。同様に第2の端子パッド群6は第2のサージ素子群9により第2の回路ブロックのグランド端子パッド13に、第3の端子パッド群7は第3のサージ素子群10により第3の回路ブロックのグランド端子パッド14にそれぞれ接続されている。

【0022】そして回路ブロック間を接続するサージ素子すなわち図3に示す第4のサージ素子群11に相当するサージ素子を設けていない。このことにより、図4における容量C1をなくすることができるため、回路ブロック間のアイソレーションを大きくすることができる。

【0023】更に本実施例では、第1の回路ブロック2内の回路と第2の回路ブロック3内の回路の間を半導体基板1内で接続する信号ラインまたは電源ラインすなわち図3における信号ラインまたは電源ライン16に相当する配線が設けられていない。そして信号ライン15に示すように、回路ブロック間を接続する信号ラインは各回路ブロックの端子パッドから半導体集積回路の外部を経由して互いに接続される。すなわち半導体基板内に回路ブロック間を接続する配線がないため、回路ブロック間を接続するサージ素子を設けなくても十分な耐サージ性能が得られる。そして、回路ブロック間アイソレーションの確保と耐サージ特性を両立することができる。

【0024】尚、半導体基板の外側を経由して接続されるラインは、信号ラインの他に電源ラインも外部経由としてもよい。

【0025】また、半導体基板の外側を経由して接続される信号ラインまたは電源ラインは全数である必要はな

く、アイソレーション劣化への影響が大きい1本または数本のみを外側経由としてもよい。つまり制御ラインなどはラインに例えば100kΩの高抵抗などを挿入することができるため半導体基板内で配線しても耐サージ特性はほとんど低下しない。電源ラインや入力側が比較的低インピーダンスである信号ラインは抵抗の挿入が困難なため、半導体基板の外部経由とすることにより耐サージ特性を確保することができる。

【0026】（実施例2）図2は、本発明の実施例2の半導体集積回路の半導体基板上の回路の構成図である。図2において、11は第4のサージ素子群である。また図1と同じ構成要素に同一の番号を付けて示した。

【0027】本発明の特徴は、各回路ブロック間を接続する第4のサージ素子群の配置の仕方にある。

【0028】本実施例では、第1の回路ブロック2と第3の回路ブロック4の間のアイソレーションを確保する設計となっている。第1の回路ブロック2と第2の回路ブロック3が第4のサージ素子群11により接続されている。また、第2の回路ブロック3と第3の回路ブロック4が第4のサージ素子群11により接続されている。従って、サージ信号の入力により第1の回路ブロック2と第3の回路ブロック4に大きな電位差が発生した場合には、サージ電流は半導体基板上の回路ブロック間を接続する信号ラインまたは電源ラインに流れるのではなく、前記第4のサージ素子群11を経由して流れるため、耐サージ特性を確保することができる。

【0029】そして、第1と第3の回路ブロック間を直接には第4のサージ素子群11で接続していないためアイソレーションを確保することができる。すなわち第1と第3の回路ブロック間においては図4におけるサージ素子の容量C1に相当する容量の影響が低減する。さらに第1の回路ブロックのグランド端子12と第3の回路ブロックのグランド端子14はボンディングワイヤーとパッケージリードを介して接地されるが、その間にある第2の回路ブロックのグランド端子13も接地されるため、第1と第3の回路ブロック間のアイソレーションは、第1と第2の回路ブロックのアイソレーションと第2と第3の回路ブロック間のアイソレーションの乗算値となる。例えばサージ素子で接続された回路ブロック間のアイソレーションが30dBのときには、上記の構成では第1と第3の回路ブロックの間のアイソレーションは60dBを得ることができる。

【0030】尚、回路ブロックに接続される端子パッドおよびサージ素子は複数すなわち群の場合について述べたが、各回路ブロックの端子数は1個でもよい。

【0031】また、各サージ素子群はグランド端子に接続される場合を述べたが、各サージ素子を電源ラインに接続してもよい。

【0032】

【発明の効果】以上の説明から明らかなように本発明の

半導体集積回路によれば、回路ブロック間を接続するサージ素子がないため、回路ブロック間のアイソレーションを大きくすることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例1における半導体集積回路の半導体基板上の回路の構成図

【図2】本発明の実施例2における半導体集積回路の半導体基板上の回路の構成図

【図3】従来の半導体集積回路の半導体基板上の回路の構成図

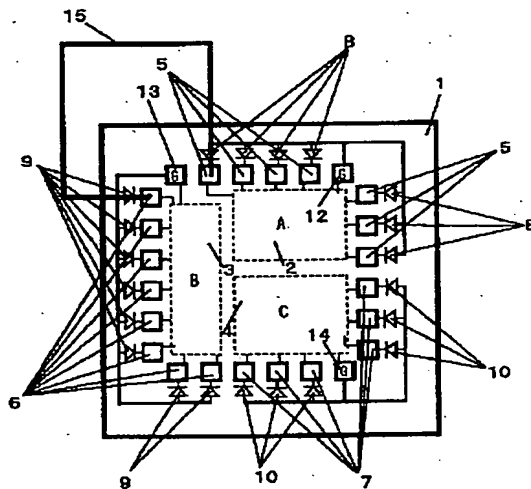
【図4】回路ブロック間のアイソレーションの説明図

【符号の説明】

- 1 半導体基板
2 第1の回路ブロック

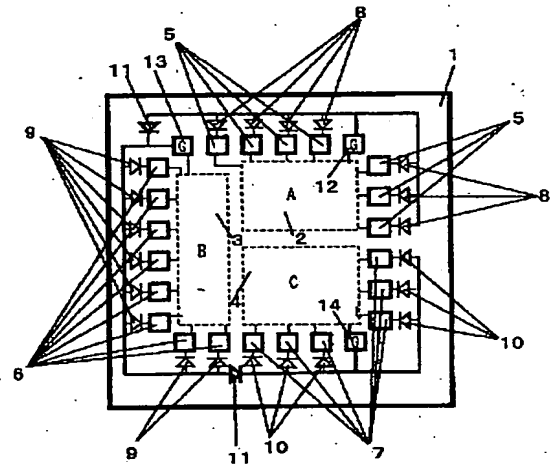
- 3 第2の回路ブロック
4 第3の回路ブロック
5 第1の端子パッド群
6 第2の端子パッド群
7 第3の端子パッド群
8 第1のサージ素子群
9 第2のサージ素子群
10 第3のサージ素子群
11 第4のサージ素子群
12 第1の回路ブロックのグランド端子パッド
13 第2の回路ブロックのグランド端子パッド
14 第3の回路ブロックのグランド端子パッド
15 信号ライン

【図1】

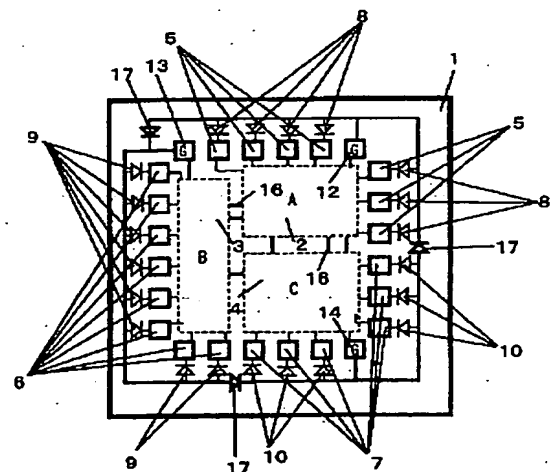


- 1 半導体基板 10 第3のサージ素子群
2 第1の回路ブロック 11 第4のサージ素子群
3 第2の回路ブロック 12 第1の回路ブロックのグランド端子パッド
4 第3の回路ブロック 13 第2の回路ブロックのグランド端子パッド
5 第1の端子パッド群 14 第3の回路ブロックのグランド端子パッド
6 第2の端子パッド群 15 信号ライン
7 第3の端子パッド群
8 第1のサージ素子群
9 第2のサージ素子群

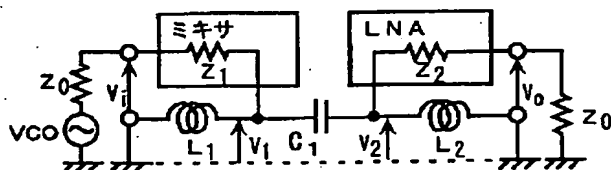
【図2】



【図3】



【図4】



- Z_1 : ミキサの入力インピーダンス
 Z_2 : LNAの入力インピーダンス
 C_1 : サージ素子の容量
 L_1, L_2 : パッケージリードのインダクタンス

フロントページの続き

Fターム(参考) 5F038 AZ06 BE07 BH10 BH13 BH19
CA10 CD02 DF02 DF11 EZ20
5F064 DD25 DD31 DD44 EE44 EE45
EE52
